

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 1999 European Patent Office. All rts. reserv.

2123839

Basic Patent (No,Kind,Date): JP 52076897 A2 770628 <No. of Patents: 001>

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX

PANEL (

English)

Patent Assignee: HITACHI LTD

Author (Inventor): SAITOU NAOTAKE

IPC: *G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO Reference No: *010139E006817;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 52076897	A2	770628	JP 75152741	A	751223 (BASIC)
-------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 75152741	A	751223
-------------	---	--------

(c) 1999 JPO & JAPIO. All rts. reserv.

00117897

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX PANEL

PUB. NO.: **52-076897** [JP 52076897 A]

PUBLISHED: June 28, 1977 (19770628)

INVENTOR(s): SAITO NAOTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: **50-152741** [JP 75152741]

FILED: December 23, 1975 (19751223)

INTL CLASS: [2] G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION
INSTRUMENTS --Optical Equipment); 45.3 (INFORMATION PROCESSING --
Input Output Units)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: E, Section No. 64, Vol. 01, No. 139, Pg. 6817,
November 15, 1977 (19771115)

ABSTRACT

PURPOSE: To reduce the number of logic operation circuits and make display of multiple tones by composing a half tone picture display device using a liquid crystal matrix panel with a device for generating reference pulse width signals of $1 : 2 : 4 \dots : 2^{(sup k)}$ in pulse width ratio and logic operation circuits combining these signals and the digital signals from a memory unit.

～Yは信号電極（以下Y電極といふ）である。Y電極には、Y電極駆動回路1によって走査信号電圧を印加し、X電極には、X電極駆動回路2によって信号電圧を印加すると、その交点の液晶は、輝度を変化する。両電極の交点が、画面をなす。順次走査においては、 t_1, t_2, t_3, t_4 には順次に選択信号電圧が印加され、X電極Y₁、Y₂、Y₃、Y₄には信号電圧が印加される。したがつて、一本の走査線上の画面は、同時に輝度を変化する。図2は、4行4列のマトリクスの場合を示したものである。

液晶マトリクスを順次に走査する場合、非選択電極を開放とすると、クロストークを生じて、正しい表示を行なうことができない。

クロストークを防ぐためには、交流駆動を行ない、ペルス幅変調によって、液晶の輝度を制御することができるから図3によりそれを説明する。

図3において、 t_p はクロフタペルス、 t_p はペルス幅変調による輝度制御信号である。

(3)

$$m = \frac{2 \tau}{T} \quad (3)$$

$0 \leq \tau \leq \frac{1}{2}$ であるから、変調半周は、 $0 \leq m \leq 1$ となる。ペルス幅 τ を変えることにより、 m を変えることができるので、液晶の輝度を制御することができる。したがつて、中間調を有する画面表示が可能となる。

図3における輝度制御信号 t_p は、図4に示すようにして、発生させることができる。

一般に、順次走査を行なうためには、ラインメモリを必要とする。ラインメモリは、一回路に対して2ビットの容量をもつものとして、出力を M_b, M_a とする。 $t_1 \sim t_4$ は、ペルス幅変調信号（ペルス幅を t_1 よりなに至る順次大としたもの）、 $3 \sim 4$ は合起回路、 $5 \sim 8$ は論理回路、 9 は論理和回路である。

ラインメモリ出力 M_b, M_a がデジタル信号00であれば $t_p = t_1$ 、01ならば $t_p = t_2$ 、10ならば $t_p = t_3$ 、11ならば $t_p = t_4$ となる。

したがつてテレビジョン映像信号のような原信号

(5)

Y電極は、通常、シフトレジスタによつて走査される。 t_1 はY電極を走査するシフトレジスタの出力である。 V_y は、Y電極に印加される電圧、 V_x はX電極に印加される電圧、 $V_y - V_x$ は、液晶に印加される電圧である。

図5で、 T は走査線が選択されている時間である。また、 t_1 と t_2 は等しい。 V_y は、 t_1 では $(1 - \frac{1}{a}) V_0$ 、 t_2 では $-(1 - \frac{1}{a}) V_0$ であるようになる。 V_x は、 t_1 では、期間 T では $-\frac{1}{a} V_0$ 、期間 $t_1 - T$ では $\frac{1}{a} V_0$ であるようになる。 t_2 では、極性が反転するようになる。このようにして、液晶は交流駆動される。走査線数を日本とすると、 m は次の式を満足した時、最適駆動条件となることが知られている。

$$m = \sqrt{N + 1} \quad (1)$$

液晶に印加される実効電圧 V_s は、次の式で与えられる。

$$V_s = \frac{1}{a} V_0 \sqrt{1 + \frac{(a-1)(4m-a-3)}{N}} \quad (2)$$

(4)

号をA/D変換しラインメモリに記憶させ、その出力によつて異なる幅のペルス信号が得られるから、前述のように変調半周を変え中間調を有する画面表示が可能となる。以上は4階調表示の場合であるが、階調数を増すと、ペルス幅変調信号の数も増加するため使用する論理回路の数が多大となり回路構成が複雑化し、装置は高価になる。例えば64階調表示の場合は64個の論理回路と1個の論理和回路が必要となる欠点があつた。

本発明の目的は前述の欠点を改善し、簡単な装置によつて階調数の多い中間調表示を行なう液晶マトリクス装置を提供することにある。

図6は、8階調表示を行なうためのペルス幅変調信号による輝度制御信号を説明する図である。 P_1, P_2, P_3 は、図6に示すようにそれぞれ発生時期が異なり、ペルス幅比が1:2:4の基準ペルス幅信号を示す。 P_1, P_2, P_3 の組合せによつて、8種類のペルス幅変調信号 t_1, t_2, \dots, t_8 を発生させることができる。すなわち

(5)

(6)

M_a 、 M_b 、 M_c はそれぞれラインメモリの出力の印加される端子を示す。

第6図に示す装置は第4図について説明したと同様にラインメモリの出力の有無に応じて各論理演算回路が動作し、基準ペルス幅信号を組合せることにより第5図に示す信号が得られる。なお論理演算回路は15～18に図示する以外にAND回路等他の回路を使用することも可能である。

この構成により例えば2階調の表示を行なうとき、第4図では3個の論理演算回路を必要とするが第6図の例では $[10g_2^k] + 1$ 個で済む。

次に $T_p = T_0$ とした場合の液晶マトリクスパネル駆動波形図を第7図に、また2フレームで交互駆動を行なつた場合の波形図を第8図に示し、これらは第3図と同様であるから説明を省略する。

ここで第9図に示すテレビジョン信号を8階調表示する場合に第5図の P_1 、 P_2 、 P_3 を発生するような第6図の基準ペルス幅信号を発生する式

(7)

にセットされ、 Q_a はシフトレジスタ19の入力に印加されているので以後シフトレジスタ19の各ビット b_1 、 b_2 … b_7 はクロックペルス Q_p 毎に順次1になる。したがつて基準ペルス幅信号 P_1 、 P_2 、 P_3 は論理回路29、30の動作により次式で与えられる

$$\left. \begin{aligned} P_1 &= b_1 \\ P_2 &= b_2 + b_3 \\ P_3 &= b_4 + b_5 + b_6 + b_7 \end{aligned} \right\} \quad (8)$$

に b_7 に出力が生じたときフリップフロップ21の出力 Q_b が1となり、 b_7 はシフトレジスタ19の入力側にもどされる。次に b_7 に再び出力が生ずると Q_b は0にもどりフリップフロップ22の出力 Q_c は1 ($Q_c = 0$) になつてシフトレジスタ19はクリアされ動作は停止する。ここで第11図に示す波形即ち基準ペルス幅信号 P_1 、 P_2 、 P_3 が得られる。なお第11図に示す T_1 と T_2 の時間は動作上無駄な時間があるが、クロックペルス Q_p の周波数を変えることによつて実用上差支えない程度に小さくすることができる。第10図の

$$\left. \begin{aligned} T_0 &= 0 & T_1 &= P_1 \\ T_2 &= P_2 & T_3 &= P_1 + P_2 \\ T_4 &= P_4 & T_5 &= P_1 + P_4 \\ T_6 &= P_2 + P_4 & T_7 &= P_1 + P_2 + P_4 \end{aligned} \right\} \quad (4)$$

それぞれのペルス幅変調信号のペルス幅比は、つぎのようになる。

$$T_0 : T_1 : T_2 : \dots : T_7 = 0 : 1 : 2 : \dots : 7 \quad (5)$$

例えば T_0 は、ペルス幅が1と4の2つのペルスから成り立つてゐる。液晶の輝度は、実効電圧に依存するので、 T_0 は、ペルス幅5をもつ单一ペルスと等価である。したがつてペルス幅変調信号 T_0 、 T_1 、 T_2 … T_7 を用いて液晶の輝度を制御することができる。

第6図は第5図のペルス P_1 、 P_2 、 P_3 を用いて輝度調節信号 T_p を発生する本発明実施例の要部を示す回路図である。第6図において P_8 は第5図 P_1 、 P_2 、 P_3 のようなペルス幅比が $1 : 2 : 4 : \dots : 2^k$ なる基準ペルス幅信号を発生する装置、15～17は論理回路、18は論理回路、

(7)

19の詳細図を第10図に示す。第9図において A は映像信号、 B_a は水平同期ペルスを示し、期間 T_1 でラインメモリに記憶された映像信号は期間 T_2 で表示されることとなる。第10図において19は7ビットのシフトレジスタを示し、 b_1 乃至 b_7 は出力ビットを示す。20、21、22はアーキフリップフロップ、23はシフトレジスタ19を動作させるクロックペルス Q_p の発生器、24、25は否定回路、26、27は論理積回路、28、29、30は論理和である。

クロックペルス発生器23は第9図の水平同期ペルス B_a の無いときクロックペルス Q_p を発生し続けるよう構成する。

第10図の動作タイミングチャートを第11図に示す。始めにクリアペルス Q_c によつてフリップフロップ20をクリアする。次いで水平同期ペルス B_a を否定回路24によつて否定した出力 \bar{B}_a によつてシフトレジスタ19の全ビット及びフリップフロップ21、22をクリアする。フリップフロップ20の出力 Q_a は B_a によつて1

(9)

装置と第6回装置とにより第7回の駆動波形を得ることができ、第10回のうち論理演算回路27の一方の入力をフリップフロップ22の出力 \bar{q}_1 よりフリップフロップ21の出力 \bar{q}_0 に引換え、且つクロソクペルス0₂の周波数を分にすることにより第8回に示す駆動波形を得ることができる。

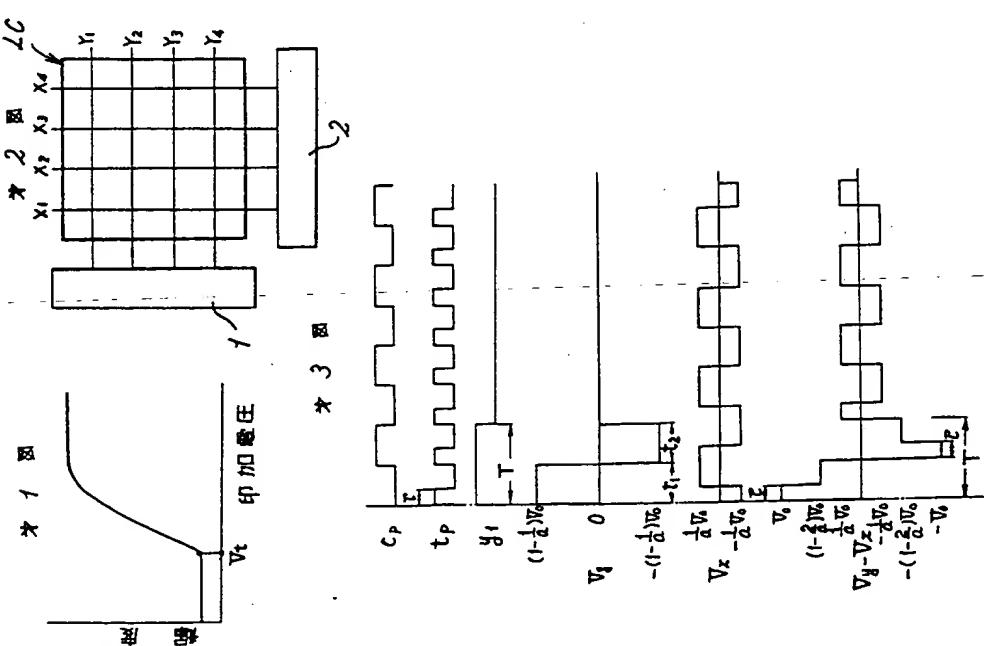
このようにして本発明によると第4回の従来例と比較して使用する論理演算回路の数を大幅に減少させることができ、回路構成が簡易で安価なものを使用して多階層の中間調表示を行なうことができる。また使用回路はデジタル回路で構成されているからこれを大規模集積回路化するに好適である。

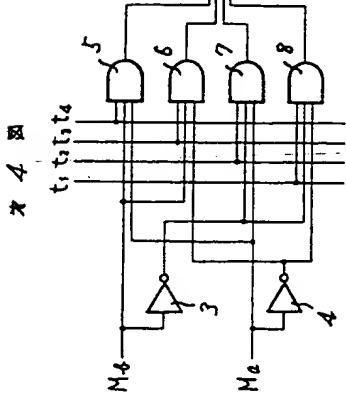
4. 図面の簡単な説明

第1回は液晶の印加電圧に対する輝度特性を示す図、第2回は液晶マトリクスパネルの構造図、第3回は1フレームで交流駆動となる液晶の駆動波形図、第4回は従来のペルス幅変調による輝度制御回路信号発生器、第5回は本発明による輝度制

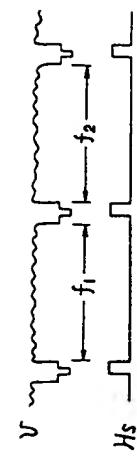
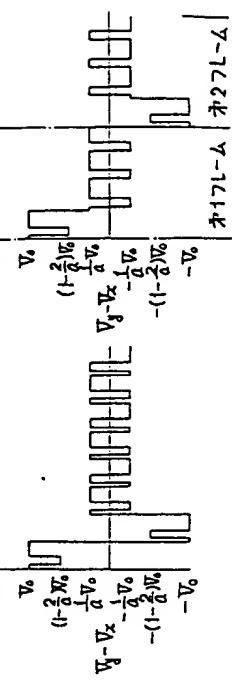
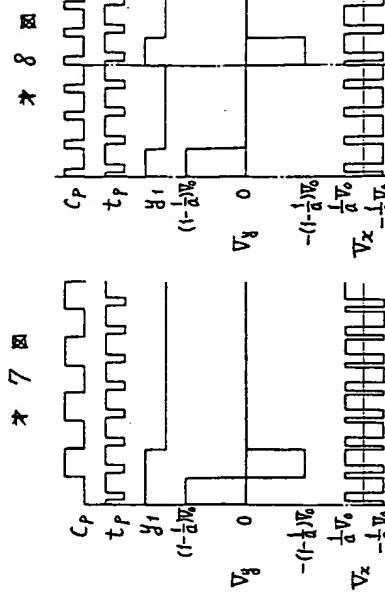
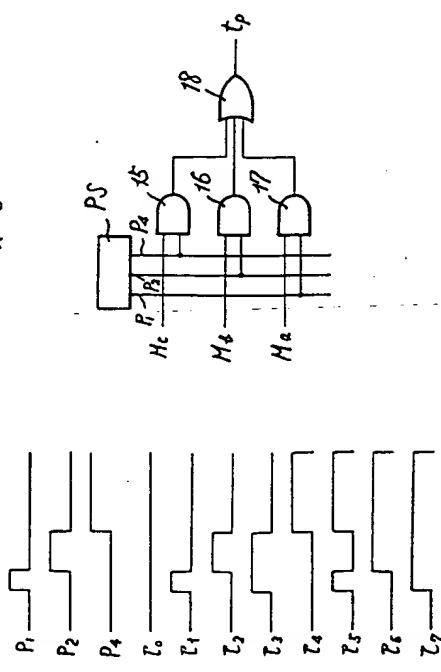
御信号を説明する図、第6回は本発明実施例の要部を示す回路図、第7回、第8回は本発明による液晶の駆動波形図、第9回は第6回中の基準ペルス幅信号を発生する装置の具体例図、第10回はテレビジョン信号波形図、第11回は第9回の動作タイミングチャートを示す。
10…液晶マトリクスパネル、29…基準ペルス幅信号を発生する装置、13…18…論理演算回路

特許出願人 株式会社日立製作所
代理人 北村欣一
外3名





* 5 図



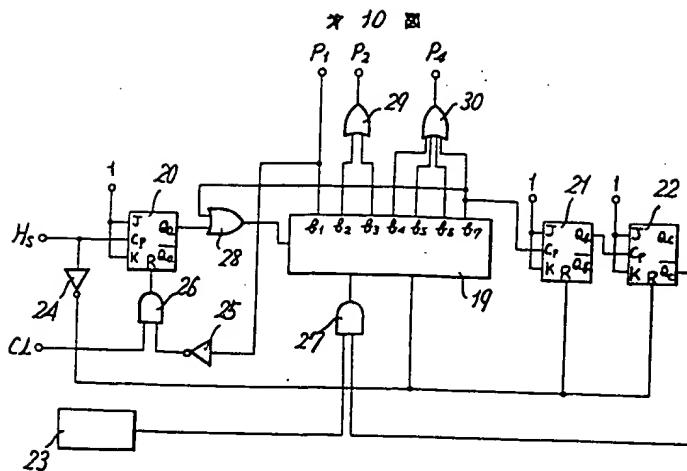
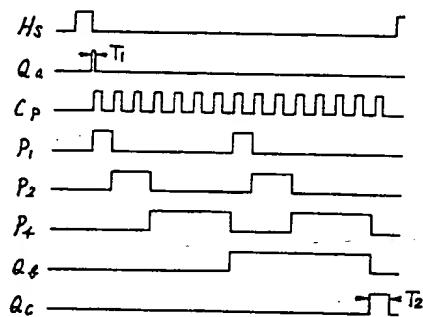


図 11 図



5. 添付書類の目録

(1) 明細書	1 頁
(2) 図面	1 頁
(3) 願書面	1 頁
(4) 契約状	1 頁
(5) 出願書類	1 頁

6. 前記以外の発明者、特許出願人または代理人

(1) 発明者

(2) 特許出願人

(3) 代理人

東京都港区新橋2丁目16番1 ニュー新橋ビル703
 6432 弁理士 北村 和男
 7067 弁理士 錦田 勝
 7559 弁理士 鈴木 栄